

ANWENDUNGEN VON SiC-JFETs IN STROMZWISCHENKREIS-UMRICHTERN

I. Koch, F. Hinrichsen

1 EINLEITUNG

Die ausgezeichneten Materialeigenschaften von Siliziumkarbid (SiC) ermöglichen neue Leistungshalbleiter mit gegenüber Siliziumhalbleitern erhöhten Leistungsdichten. So ermöglicht der größere Bandabstand von SiC höhere Sperrspannungen und höhere Sperrschichttemperaturen. SiC-Bauteile besitzen einen geringen spezifischen Durchlasswiderstand, der zusammen mit dem hervorragenden Schaltverhalten geringe Gesamtverluste zulässt. Ein aussichtsreicher Kandidat für Leistungshalbleiterschalter ist der *Junction Field Effect Transistor* (JFET) [1]. Bipolare Leistungsschalter wie IGBTs und MOSFETs sind aufgrund von Problemen innerhalb der MOS-Struktur noch nicht serienreif und werden eher langfristig zu einer Alternative [2]. Entgegen diesen konventionellen Leistungsschaltern ist der JFET strukturell bedingt selbstleitend, wodurch in bisher hauptsächlich eingesetzten Spannungszwischenkreisumrichtern (U-Umrichter) ein erhöhtes Kurzschlussrisiko im Fehlerfall besteht. Um das hierfür gewünschte selbstsperrende Verhalten zu ermöglichen und konventionelle Treiberstufen benutzen zu können, muss der JFET mit einem zusätzlichen Niedervolt-MOSFET in einer so genannten Kaskode verschaltet werden [3]. Als Alternative kann der reine JFET auch in einem Stromzwischenkreisumrichter (I-Umrichter) eingesetzt werden, für den das selbstleitende Verhalten geradezu prädestiniert ist. In diesem Beitrag werden Einsatz und Untersuchungen eines JFET in einer solchen I-Umrichtertopologie vorgestellt. Zum Vergleich wurde der JFET trotz der Fehlerfallproblematik in einer U-Umrichtertopologie in ein und demselben Aufbau eingesetzt. Danach wird der Einfluss der internen Diode des JFETs im U- und der zusätzlichen diskreten Diode im I-Umrichter diskutiert.

2 SiC-HALBLEITER IN U- UND I-UMRICHTERTOPOLOGIE

Bild 1 zeigt eine Kommutierungszelle einer U-Umrichtertopologie, bestehend aus dem Zwischenkreiskondensator, dem Schalter T_2 und der Diode D_1 . Der JFET T_1 ist durchgehend eingeschaltet und die Diode D_2 kurzgeschlossen. Beide haben somit in dieser Topologie keine Funktion. D_1 übernimmt den Freilauf des Stromes der ohmsch-induktiven Last beim Ausschalten von T_2 . Da der sichere Zustand dieser Topologie der Leerlauf ist, muss im Falle eines Fehlers das Abschalten des Schalters T_2 sichergestellt sein.

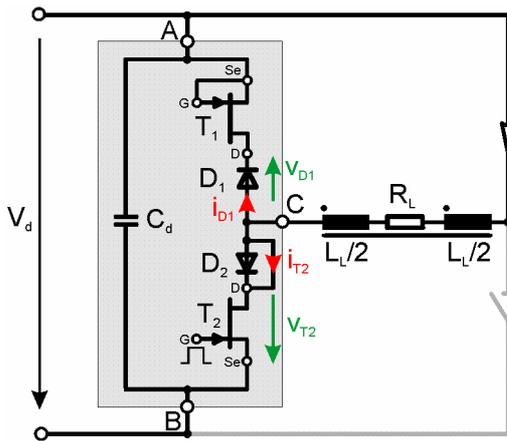


Bild 1: Kommutierungszelle eines U-Umrichters mit SiC-JFET

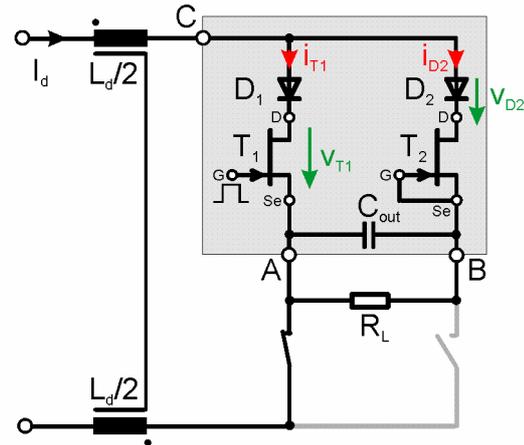


Bild 2: Kommutierungszelle eines I-Umrichters mit SiC-JFET

Das selbstleitende oder auch normally-on Verhalten des JFETs ist gut geeignet für I-Umrichtertopologien, wo der Stromkreis durchgehend geschlossen sein muss. Sollte der Stromkreis im I-Umrichter unterbrochen werden, würde die Zwischenkreisinduktivität eine hohe Spannungsspitze erzeugen, die die Bauteile zerstören könnte. **Bild 2** zeigt die Kommutierungszelle einer solchen I-Umrichtertopologie. In dieser Topologie ist der Schalter T_2 kurzgeschlossen und die Dioden D_1 und D_2 gewährleisten die benötigte Rückwärtssperrfähigkeit der Schalter. Am Ausgang befinden sich die passive Last R_L und ein Kondensator C_{out} zur Glättung der Ausgangsspannung. Die in beiden Schaltungen dargestellten idealen Schalter haben keine Funktion und dienen nur zur Symbolisierung der Standard H-Brücke.

Während eines Schaltvorgangs erzeugen parasitäre Induktivitäten Überspannungen und parasitäre Kapazitäten Überströme innerhalb der Kommutierungszelle. Daher sind bei unterschiedlichen Aufbauten auch unterschiedliche parasitäre Einflüsse möglich. Um in den Untersuchungen den Einfluss parasitärer Größen gering zu halten, besteht die Kommutierungszelle beider Topologien aus ein und demselben mechanischen Testaufbau. Dieser ist in **Bild 1** und **Bild 2**

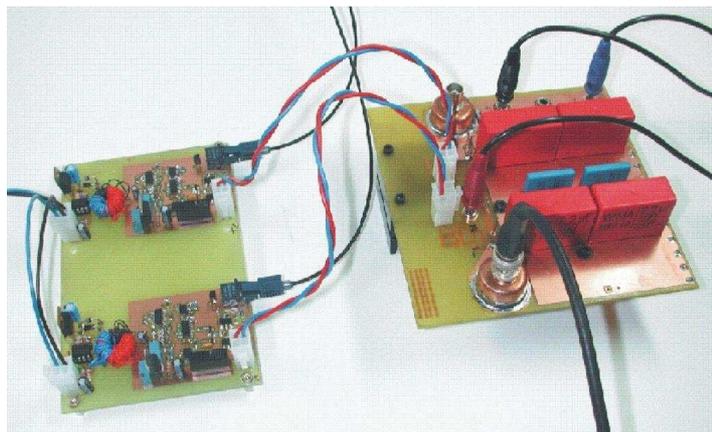


Bild 3: Foto des Testaufbaus mit angepassten JFET-Treiberstufen

durch die grau markierten Blöcke symbolisiert. Zur Orientierung sind die Punkte A, B und C in den Schaltplan eingefügt. **Bild 3** zeigt den Aufbau mit an die JFETs angepassten Treiberstufen, wobei die Kommutierungspfade möglichst niederkapazitiv und niederinduktiv ausgelegt wurden.

3 MESSUNGEN

Die Untersuchungen wurden mit einem 600 V/2 A SiC-JFET der Firma SiCED durchgeführt, dessen Durchlasswiderstand $R_{DS,on,JFET}$ ca. $0,8 \Omega$ beträgt. Die diskreten Dioden waren 600 V/4 A Schottky Dioden vom Typ ADP04S60 (Infineon).

Die Kurven in **Bild 4** und **Bild 6** zeigen die gemessene *drain-source*-Spannung und den *drain*-Strom des JFETs in der I- und U-Umrichtertopologie bei einer Frequenz von 250 kHz. Für sämtliche Messungen wurde ein Arbeitspunkt mit einer Spannung von 300 V und einem Strom von 1,6 A eingestellt. Zusätzlich sind in die Diagramme die Verlustleistung $P_{on,off}$ und die Energie E_{tot} eingetragen. Des Weiteren sind in **Bild 5** und **Bild 7** die Kurven für die zugehörigen Dioden dargestellt. Da in beiden Topologien der gleiche Arbeitspunkt eingestellt wurde, unterscheidet sich in den Messungen das Tastverhältnis. Als Folge sind Ein- und Ausschaltvorgang seitenverkehrt dargestellt.

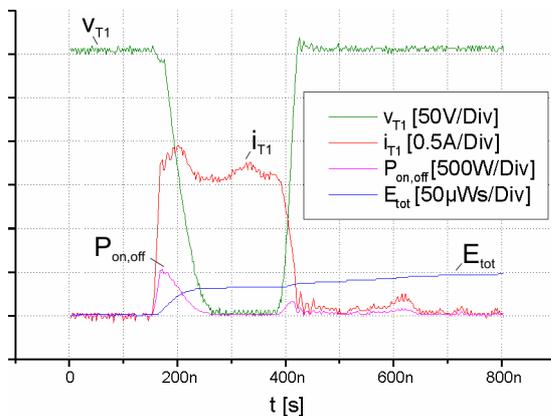


Bild 4: Schaltverhalten des SiC-JFET in I-Umrichtertopologie

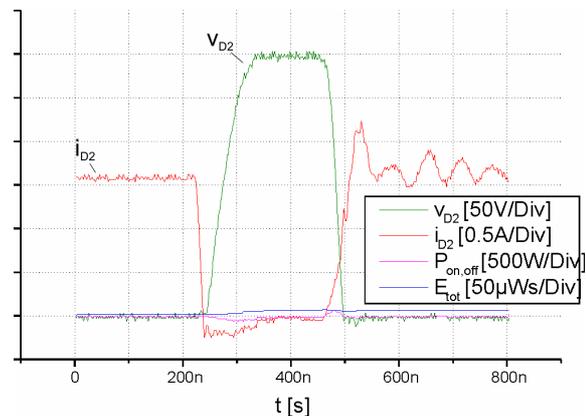


Bild 5: Schaltverhalten der SiC-Diode in I-Umrichtertopologie

Unter Vernachlässigung der unterschiedlichen Tastverhältnisse ist zu erkennen, dass die Kurvenverläufe nahezu identisch sind. In allen Schaltvorgängen beträgt die Einschaltzeit 100 ns und die Ausschaltzeit 50 ns. Der Überstrom beim Einschalten des JFETs beträgt ca. 0,5 A und wird durch den Rückwärtserholstrom und parasitäre Effekte hervorgerufen. Die maximalen Schaltverluste betragen in beiden Topologien 500 W. Durch Integration der Verluste ergibt sich eine Energie von ca. 50 μ J pro Periode. Die Messungen zeigen, dass die größten Verluste beim Einschalten des JFETs auftreten. Durch vorhergehende Messungen konnte nachgewiesen werden, dass sich durch eine Anpassung des *gate*-Widerstandes diese Verluste beim verwendeten Schalter nicht weiter minimieren lassen. Aus den Kurven ist ersichtlich, dass der Anteil der Diodenverluste in anbeacht der hohen Verluste am JFET vernachlässigt werden kann. Die größte Spannungssteilheit du/dt liegt bei ca. 10 kV/ μ s.

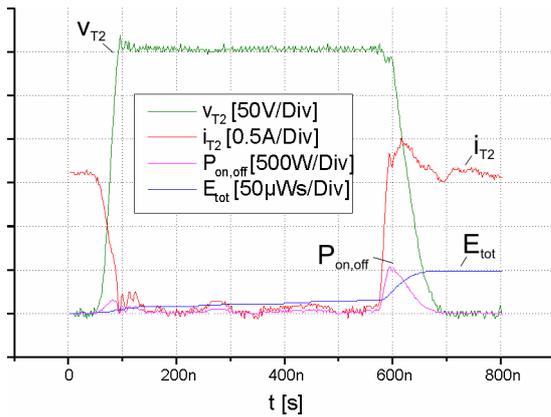


Bild 6: Schaltverhalten des SiC-JFETs in U-Umrichtertopologie

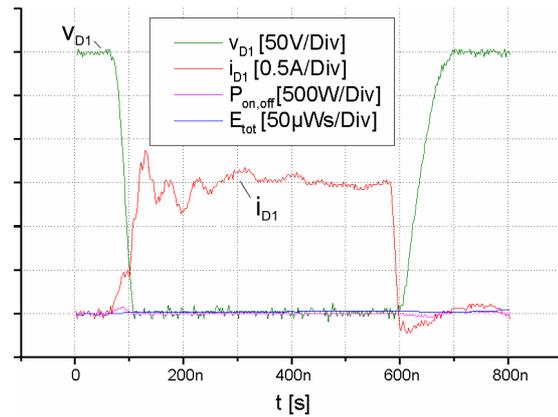


Bild 7: Schaltverhalten der SiC-Diode in U-Umrichtertopologie

Da die Entwicklung schnell schaltender SiC-Halbleiter voranschreiten wird, können die hohen Spannungssteilheiten in U-Umrichtern zu wachsenden Problemen führen. Typische zulässige Spannungssteilheiten von Maschinenisolationen liegen im Bereich von 2,5 kV/µs – 8 kV/µs. Da im I-Umrichter die Ausgangsspannung durch die ausgangsseitigen Kondensatoren geglättet wird, findet dort kein Spannungssprung statt. Somit können im I-Umrichter ein schnellst mögliches Schalten bzw. geringe Schaltverluste und somit höhere Schaltfrequenzen erreicht werden.

Dafür müssen die zusätzlichen Durchlassverluste $P_{Durchl,I-Umr}$ der seriellen Dioden im I-Umrichter hinzugerechnet werden. Hierbei fließt durch die jeweilige Diode der volle Zwischenkreisstrom I_D . Die eingesetzten Schottky Dioden besitzen bei dem eingestellten Strom von 1,6 A eine typische Durchlassspannung von 1,3 V. Damit berechnen sich über

$$P_{Durchl,I-Umr} = i \cdot U_{F,Diode} + i^2 \cdot R_{DS,ein,JFET}$$

für einen JFET und eine Diode Durchlassverluste von 4,128 W. Im Vergleich zu den bei einer Schaltfrequenz f_T von 250 kHz gemessenen Schaltverlusten von 12,5 W macht der Anteil der Durchlassverluste jedoch nur einen relativ kleinen Teil der Gesamtverluste aus.

In den vorigen Untersuchungen bestand eine Kommutierungszelle sowohl für den I- als auch für den U-Umrichter aus einem SiC-JFET und einer diskreten SiC-Schottky-Diode. Innerhalb eines U-Umrichters als Vollbrücke ist dies so nicht möglich. Dort wird eine zum Schalter antiparallele Freilaufdiode benötigt, die im Falle eines JFETs die strukturbedingte interne Diode mit einem schlechteren dynamischen Verhalten ist. Die folgenden Kurvenverläufe zeigen die Unterschiede der diskreten Schottky Diode (**Bild 8**) und der JFET internen Diode (**Bild 9**). Hierbei ist zu erkennen, dass der Rückwärtserholstrom der Schottky Diode wesentlich kleiner und temperaturunabhängig ist. Somit können im I-Umrichter durch die Anpassung der externen Diode Schaltverluste gegenüber dem U-Umrichter eingespart werden.

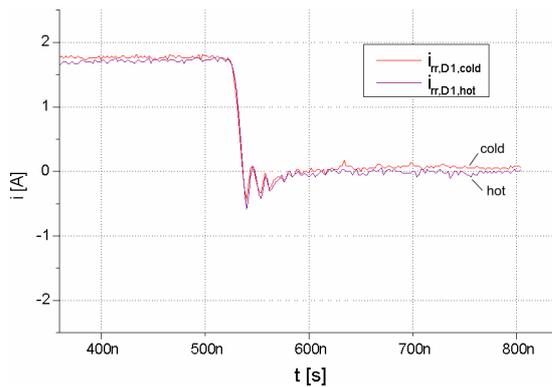


Bild 8: Schaltverhalten der diskreten SiC-Schottky-Diode

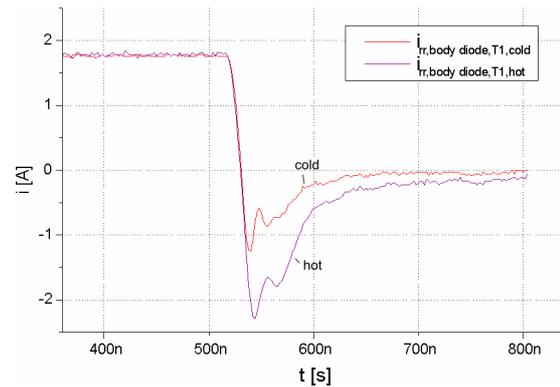


Bild 9: Schaltverhalten der strukturbedingten internen SiC-Diode

4 ZUSAMMENFASSUNG

Zukünftig werden SiC-Halbleiter aufgrund ihrer herausragenden Materialeigenschaften mehr und mehr als Leistungshalbleiter für hohe Leistungsdichten eingesetzt werden. Ein aussichtsreicher Kandidat als Leistungsschalter ist der SiC-JFET, der in Kaskodenschaltung mit einem MOSFET in konventionellen U-Umrichtertopologien eingesetzt werden kann. Das selbstleitende Verhalten des reinen JFETs ist hingegen prädestiniert für I-Umrichtertopologien, in denen der Stromkreis kontinuierlich geschlossen sein muss. Es konnte gezeigt werden, dass im gleichen Arbeitspunkt Schaltverhalten und somit -verluste absolut identisch sind. Aufgrund der anderen Topologie können aber im I-Umrichter die Schaltverluste durch Anpassung der externen Diode optimiert werden. Des Weiteren besteht im I-Umrichter die Möglichkeit, schnellst mögliches Schalten und somit hohe Taktfrequenzen zu erreichen, da aufgrund der Ausgangskapazitäten keine du/dt -Probleme am Ausgang auftreten können. Diese Topologie ist geeignet für Anwendungen mit geglätteten Ausgangsspannungen, wie zum Beispiel zur Speisung niederinduktiver Maschinen.

LITERATUR

- [1] P. Friedrichs, H. Mitlehner, R. Schörner, K.-O. Dohnke, R. Elpelt, D. Stephani: *The vertical silicon carbide JFET – a fast and low loss solid state power switching device*, EPE 2001, Graz
- [2] P. Friedrichs, H. Mitlehner, D. Stephani: *Perspektiven von SiC Leistungsschaltern: Entwicklungsstand und zukünftige Trends*, VDE-Tagung 2004, Berlin
- [3] B. Weiss, M. Braun, P. Friedrichs: *Turn-off and short circuit behaviour of 4H SiC JFETs*, EPE 2001, Graz